

25.12.03

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

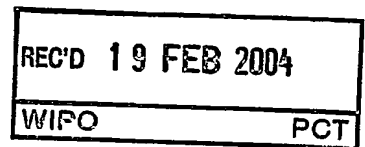
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 2 0 0 2 年 1 2 月 2 7 日

出 願 番 号  
Application Number: 特 願 2 0 0 2 - 3 7 8 7 7 7  
[ST. 10/C]: [J P 2 0 0 2 - 3 7 8 7 7 7]

出 願 人  
Applicant(s): 三洋電機株式会社  
鳥取三洋電機株式会社

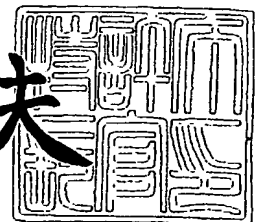


PRIORITY DOCUMENT  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)

2 0 0 4 年 2 月 5 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



BEST AVAILABLE COPY

出証番号 出証特 2 0 0 4 - 3 0 0 6 3 8 8

【書類名】 特許願  
【整理番号】 BCA2-0037  
【提出日】 平成14年12月27日  
【あて先】 特許庁長官殿  
【国際特許分類】 G02F 1/133 550  
G02F 1/136 500

## 【発明者】

【住所又は居所】 鳥取県鳥取市南吉方3丁目201番地 鳥取三洋電機株式会社内

【氏名】 蓮仏 啓一

## 【発明者】

【住所又は居所】 鳥取県鳥取市南吉方3丁目201番地 鳥取三洋電機株式会社内

【氏名】 小林 靖弘

## 【発明者】

【住所又は居所】 鳥取県鳥取市南吉方3丁目201番地 鳥取三洋電機株式会社内

【氏名】 平賀 悟

## 【特許出願人】

【識別番号】 000001889

【氏名又は名称】 三洋電機株式会社

## 【特許出願人】

【識別番号】 000214892

【氏名又は名称】 鳥取三洋電機株式会社

## 【代理人】

【識別番号】 100111383

【弁理士】

【氏名又は名称】 芝野 正雅

【連絡先】 0 3 - 3 8 3 7 - 7 7 5 1 知的財産センター 東京事務所

## 【手数料の表示】

【予納台帳番号】 013033

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9904451

【包括委任状番号】 9904463

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 アクティブマトリクス型液晶表示装置

【特許請求の範囲】

【請求項 1】

マトリクス状に配置され、各々 T F T によって駆動される画素電極と、列ごとに該 T F T のゲート電極に接続された複数のゲートラインと、行ごとに該 T F T のソース電極に接続された複数のソースラインと、各々のゲートラインに接続され、順次所定の選択期間毎に所定のゲートラインを選択電圧供給手段の出力部に結合するゲートドライバと、ソースラインに映像信号を供給するソースドライバとを有し、

前記選択電圧供給手段は、所定の選択電圧を供給するための第 1 の電源と、前記所定の選択電圧より低い電圧を供給する第 2 の電源とを有し、前記選択電圧供給手段の出力部には、常時前記第 2 の電源からの電圧が供給されているとともに、前記選択期間の初めから前記選択期間の長さより短い時間の間には前記第 1 の電源からの電圧が供給されるようになすためのスイッチ手段が設けられていることを特徴とするアクティブマトリクス型液晶表示装置。

【請求項 2】

前記第 2 の電源は、ダイオードを経て前記選択電圧供給手段の出力部に接続されていることを特徴とする請求項 1 に記載のアクティブマトリクス型液晶表示装置。

【請求項 3】

前記第 1 の電源は、前記スイッチ手段を経て前記選択電圧供給手段の出力部に接続されていることを特徴とする請求項 2 に記載のアクティブマトリクス型液晶表示装置。

【請求項 4】

前記 T F T は、アモルファスシリコンから作製されたものであることを特徴とする請求項 1 ～ 3 のいずれかに記載のアクティブマトリクス型液晶表示装置。

【請求項 5】

前記選択電圧供給手段は、ローレベルゲート電圧電源と共にゲートドライバの

外に配置されていることを特徴とする請求項 1～3 のいずれかに記載のアクティブマトリクス型液晶表示装置

【請求項 6】

前記スイッチ手段は、各ゲートラインごとに並列に設けられていることを特徴とする請求項 1～3 のいずれかに記載のアクティブマトリクス型液晶表示装置。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】

本発明は、アクティブマトリクス液晶表示装置に関し、特にこの液晶画素に接続された T F T (Thin Film Transistor) のゲートパルス供給手段を備えたアクティブマトリクス液晶表示装置に関する。

【0002】

【従来の技術】

まず、従来のアクティブマトリクス型液晶表示装置の一般的な構成を、一画素部分の模式的な等価回路図である図 5 を参照して簡単に説明する。個々の液晶画素 L P は液晶パネル上のゲートライン X<sub>n</sub> と信号ライン Y<sub>m</sub> の交点に設けられており、この液晶画素 L P は等価的に液晶容量 C<sub>LC</sub> で表わされている。通常液晶容量 C<sub>LC</sub> には補助容量 C<sub>S</sub> が並列に接続されている。液晶容量 C<sub>LC</sub> の一端は駆動用画素トランジスタ T<sub>r</sub> に接続されているとともに、他端は対向電極に接続されて所定の基準電圧 V<sub>com</sub> が印加されている。

【0003】

画素トランジスタ T<sub>r</sub> は絶縁ゲート電界効果型の薄膜トランジスタ T F T からなり、そのドレイン電極 D は信号ライン Y<sub>m</sub> に接続されており画像信号 V<sub>sig</sub> の供給を受け、また、ソース電極 S は液晶容量 C<sub>LC</sub> の一端、すなわち画素電極に接続されている。さらに、画素トランジスタ T<sub>r</sub> のゲート電極 G はゲートライン X<sub>n</sub> に接続されて所定のゲート電圧 V<sub>gate</sub> を有するゲートパルス G P が印加されるようになされている。液晶容量 C<sub>LC</sub> とゲート電極 G との間には結合容量 C<sub>GS</sub> が形成される。この結合容量 C<sub>GS</sub> は画素電極とゲートライン X<sub>n</sub> との間の浮遊容量成分と画素トランジスタ T<sub>r</sub> 内部のソース領域とゲート領域との間の寄生容量成分が

合わさったものであり、後者の寄生容量成分が支配的であるとともにその値は個々の画素トランジスタ  $T_r$  によってかなりのばらつきが存在している。

#### 【0004】

この一画素の各部分の電圧波形を図6を用いて説明する。まず、この画素の選択期間中に電圧  $V_{gate}$  のゲートパルス  $GP$  がゲート電極  $G$  に印加されると、画素トランジスタ  $T_r$  はオン状態になる。この時、信号ライン  $Y_m$  から供給された画像信号  $V_{sig}$  が画素トランジスタ  $T_r$  を介して液晶画素に書き込まれて、いわゆるサンプリングが行なわれる。次にこの画素が非選択期間になるとゲートパルス  $GP$  の印加が停止されてローレベルゲート電圧が印加され、画素トランジスタ  $T_r$  はオフ状態となるが、書き込まれた画像信号は液晶容量  $C_{LC}$  に保持されている。

#### 【0005】

選択期間から非選択期間に移行するとき、矩形波ゲートパルス  $GP$  はハイレベルからローレベルに急激に立ち下がるので、このとき前述した結合容量  $C_{GS}$  を介してカップリングにより液晶容量  $C_{LC}$  に蓄えられた電荷が瞬時的に放電する。このため、液晶画素に書き込まれた画像信号  $V_{sig}$  に電圧シフト  $\Delta V$  が生じてしまう。したがって、液晶表示素子の個々の画素ごとに結合容量  $C_{GS}$  の値にばらつきがあるため、前記電圧シフト  $\Delta V$  にもばらつきが生じるので、結果として液晶パネルの表示画面を周期的に変化させ、いわゆるフリッカ及び残像を生じて表示品位を著しく劣化させる。

#### 【0006】

なお、液晶画素には選択期間中に画像信号を書き込み、続く非選択期間中書き込まれた画像信号を保持して一フィールドが構成されるが、一フィールドにおける液晶画素の透過率はその間に液晶に印加される実効電圧によって決定される。したがって、画素トランジスタ  $T_r$  は、選択期間内に書き込みを完了するために必要なオン電流が確保できるものでなければならず、また、一フィールド期間中に液晶画素を点灯し続けるのに十分な実効電圧が得られるようにするために、非選択期間中あるいは保持期間中のリーク電流はできるだけ小さくする必要がある。実効電圧としては選択期間より遥かに長い非選択期間時の影響が大きい。この

ため、画素容量 $C_{LC}$ を充電した後オフする時生じる前述の電圧シフト $\Delta V$ は液晶に印加される実効電圧に大きく効いてくるため、表示品位が損なわれる。

#### 【0007】

従来、電圧シフト $\Delta V$ の絶対量及びばらつきを抑制するため、液晶容量 $C_{LC}$ に並列接続されている補助容量 $C_S$ を大きめに形成するという対策が講じられていた。すなわち結合容量 $C_{GS}$ を介して放電される電荷量を補うに足る電荷を予め補助容量 $C_S$ に蓄えるものである。しかしながら、補助容量 $C_S$ は液晶画素領域に形成されており、この寸法を大きく設定すると画素開口率 (Aperture Ratio) が犠牲になるため、十分な表示コントラストを得ることができなくなる。

#### 【0008】

このような従来のアクティブマトリクス型液晶表示装置の電圧シフト $\Delta V$ の問題点を解決するための一例が下記特許文献1に開示されている。この下記特許文献に開示されている方法は、図7に示すように、選択期間から非選択期間に移行する直前に、一旦ゲート電圧の電圧レベルを第1のハイレベルゲート電圧 $V_{gate1}$ よりも低い第2のハイレベルゲート電圧 $V_{gate2}$ まで下げ、その後にゲートパルス $GP$ をローレベルゲート電圧 $V_{GL}$ まで立ち下げることにより書き込まれた画像信号 $V_{sig}$ の電圧シフト $\Delta V$ を抑制するようにしたものである。

#### 【0009】

このゲートパルス $GP$ の電圧レベルを下げるタイミングは、選択期間中液晶画素への書き込み動作に影響を与えないように、書き込みが完了した時点でなされる。このゲートパルス $GP$ を第1のハイレベルゲート電圧 $V_{gate1}$ から一旦第2のハイレベルゲート電圧 $V_{gate2}$ まで下げた後、非選択期間へ移行した際にローレベルゲート電圧 $V_{GL}$ まで立ち下げることにより、選択期間から非選択期間への移行時点でゲートライン $X_n$ とソース電極 $S$ との間の電位差は小さくなるため、電圧シフト $\Delta V$ を効果的に抑制できるようになる。

#### 【0010】

下記特許文献1で採用されているアクティブマトリクス型液晶表示装置の具体的な駆動手段を図8を用いて説明する。図8において、アクティブマトリクス型液晶表示装置は、マトリクス状に配列された液晶画素 $LP$ と、個々の液晶画素 $L$

Pを駆動する画素トランジスタ $T_r$ とからなる表示部を有している。なお、図8では一列分の液晶画素のみを表わしている。各画素トランジスタ $T_r$ のゲート電極Gにはゲートライン $X_1, X_2, X_3, X_4, \dots$ を介して垂直走査回路101が接続されており、線順次でゲートパルスGPを印加して画素トランジスタ $T_r$ の選択動作を行なう。また、各画素トランジスタ $T_r$ のドレイン電極Dには信号ライン $Y_m$ を介して水平駆動回路102が接続されており、選択された画素トランジスタ $T_r$ を介して画像信号Vsigを各液晶画素LPに書き込む。

#### 【0011】

垂直走査回路101はシフトレジスタ103から構成されており、このシフトレジスタ103はD型フリップフロップ104を多段接続した構造を有し、各D型フリップフロップ104は出力端子が共通結線された一対のインバータ105, 106から構成されている。各インバータはPチャネル型の駆動トランジスタ107を介して直列接続された一対の分圧抵抗 $R_1, R_2$ の midpoint に接続されていると共に、Nチャネル型の駆動トランジスタ108を介してグランド側に接続されている。これら一対の駆動トランジスタ107, 108はシフトクロックパルスVCK1, VCK2及びこれらの反転パルスに応答して導通しインバータを駆動する。一対のインバータ105, 106の共通結線された出力端子には第三のインバータ109の入力端子が接続されており、この第三のインバータ109の出力端子には各段のD型フリップフロップの出力パルスが現われる。この出力パルスは次段のD型フリップフロップの入力としても用いられる。第一段目のD型フリップフロップに対してスタート信号VSTを入力することにより、シフトレジスタ103は各段毎に順次半周期ずつ位相のずれた出力パルスを出力する。当該段の出力パルスと前段の出力パルスをナンドゲート素子110で論理処理した後インバータ111で反転することによりゲートパルスGPが得られる。

#### 【0012】

そして、前記直列接続された分圧抵抗 $R_1, R_2$ の一端は電源ラインVDDに接続されており、他端はスイッチングトランジスタ114を介してグランド側に接続されている。スイッチングトランジスタ114のゲート電極には制御電圧VCKXが周期的に印加されている。スイッチングトランジスタ114がオフ状



態にある時には電源電圧  $V_{DD}$  がそのままシフトレジスタ 103 に供給され、各ゲートパルス  $G_P$  の電圧レベルは電源電圧と等しくなる。一方、スイッチングトランジスタ 114 がオン状態になると、 $R_1$  と  $R_2$  の比によって分圧された電圧がシフトレジスタ 103 に供給されるので、ゲートパルス  $G_P$  の電圧レベルもそれに従って低下する。

#### 【0013】

この例では、スイッチングトランジスタ 114 のゲート電極に印加される制御電圧  $V_{CKX}$  は水平同期信号に応じてパルス状にレベル変化する。本例では水平周期は  $63.5 \mu s$  に設定されておりゲートライン 1 本当たりの選択期間に相当する。制御電圧  $V_{CKX}$  は各水平周期の最終部分で  $6 \sim 8 \mu s$  の間ハイレベルに変化する。この時間は選択期間内における画像信号の書き込み動作に影響を与えない様に設定されている。すなわち選択されたゲートライン上の画素に対して点順次で画像信号を書き込み終わった段階で制御電圧  $V_{CKX}$  がハイレベルに切り換わる。制御電圧  $V_{CKX}$  がハイレベルになるとスイッチングトランジスタ 114 がオン状態になるので、シフトレジスタ 103 に供給される電源電圧のレベルは、例えば第 1 のハイレベルゲート電圧  $V_{gate1}$  として設定された  $V_{DD}$  の  $13.5 V$  から  $8.5 V$  程度に設定された第 2 のハイレベルゲート電圧  $V_{gate2}$  にまで低下する。この低下量は一对の分圧抵抗  $R_1$ 、 $R_2$  の比を適宜決めることにより適宜設定される。

#### 【0014】

この電源電圧の変動に応じて、例えば  $n$  番目のゲートパルス  $G_{Pn}$  は一水平周期内においてそのレベルが  $13.5 V$  から  $8.5 V$  に階段状に変化する。次の水平周期では  $n+1$  番目のゲートラインに対応するゲートパルス  $G_{Pn+1}$  が発生し同じく階段状にそのレベルが変化する。この様な動作によれば、垂直走査回路は個々のゲートパルス  $G_P$  の印加電圧レベルを立ち下げる直前に、一旦ゲートパルスの電圧レベルを下げた後に立ち下げることにより画素に書き込まれた画像信号  $V_{sig}$  の電圧シフトを抑制することができる。このように、下記特許文献 1 に記載の方法では、ゲートパルス  $G_P$  の立ち下がりやを階段状とすることにより画像信号の電圧シフト  $\Delta V$  を有効に抑制できるようになる。

【0015】

【特許文献1】

特開平6-3647号公報

【0016】

【発明が解決しようとする課題】

しかしながら、上記特許文献1に開示されている具体例では、ゲートドライバを構成するシフトレジスタ103に供給する電源供給電圧を $V_{DD}$ と $V_{DD} \times R_1 / (R_1 + R_2)$ との間で変化させることにより階段状に立ち下がるゲートパルスGPを得ているため、シフトレジスタ103を含む回路自体が複雑で大きく、消費電流が大きくなるのでドライバの占める面積が大きくなってしまいと共に、電源として抵抗で分割したものを使用するので、その電源電圧には電流依存性があり、電圧が不安定になりやすい。加えて、シフトレジスタ103は通常は5V以下であるロジックレベルよりも遙かに高い電圧、例えば13.5Vないしは8.5Vで駆動されるので、非常に高消費電力となってしまう。

【0017】

本発明者らは、上記特許文献1に開示されているアクティブマトリクス型液晶表示素子の駆動方法の問題点を改良すべく種々検討を重ねた結果、予め第1のハイレベルゲート電圧 $V_{gate1}$ に相当する電圧を発生するための第1の電源 $V_{GH0}$ と、この第1のハイレベルのゲート電圧 $V_{gate1}$ から所定電圧だけ低い第2のハイレベルゲート電圧 $V_{gate2}$ に相当する電圧を発生するための第2の電源 $V_{ANA}$ とを設け、この第2の電源 $V_{ANA}$ から常時ダイオードを経て第2のハイレベルゲート電圧 $V_{gate2}$ を供給するようにし、その第2のハイレベルゲート電圧 $V_{gate2}$ に重畳するように第1のハイレベルゲート電圧 $V_{gate1}$ をオン・オフ制御する構成となすことにより、低消費電力かつ簡単な回路でありながら、切換に際してサージ電圧が発生することがなく、しかも、安定した階段状に切り替わるゲートパルスを発生させることができることを見出し、本発明を完成するに至ったのである。

【0018】

【課題を解決するための手段】

すなわち、本発明の第1の態様によれば、

マトリクス状に配置され、各々TFTによって駆動される画素電極と、列ごとに該TFTのゲート電極に接続された複数のゲートラインと、行ごとに該TFTのソース電極に接続された複数のソースラインと、各々のゲートラインに接続され、順次所定の選択期間毎に所定のゲートラインを選択電圧供給手段の出力部に結合するゲートドライバと、ソースラインに映像信号を供給するソースドライバとを有し、

前記選択電圧供給手段は、所定の選択電圧を供給するための第1の電源と、前記所定の選択電圧より低い電圧を供給する第2の電源とを有し、前記選択電圧供給手段の出力部には、常時前記第2の電源からの電圧が供給されているとともに、前記選択期間の初めから前記選択期間の長さより短い時間の間には前記第1の電源からの電圧が供給されるようになすためのスイッチ手段を有することを特徴とするアクティブマトリクス型液晶表示装置が提供される。

#### 【0019】

かかる構成を採用することにより、各ゲートラインの選択期間中に階段状のゲートパルス電圧を印加することができるので、従来のアクティブマトリクス型液晶表示装置の電圧シフト $\Delta V$ の問題点を解決することができるだけでなく、選択電圧供給手段には常時所定の選択電圧より低い第2の電圧が供給されているために、各ゲートラインに供給する電圧の切換に際してタイミングがずれてもサージ電圧が発生したり電圧が印加されなくなるようなことがなく、しかも第1の電源及び第2の電源からなる独立した電源を有しているために安定した電圧が供給されるので、安定した電圧の階段状のゲートパルスを供給することができるようになる。

#### 【0020】

また、かかる態様においては、前記第2の電源は、ダイオードを経て前記選択電圧供給手段の出力部に接続されていることが好ましい。かかる構成を採用することにより、第2の電源の電圧よりも高い第1の電源の電圧が印加されれば直ちに出力電圧は第1の電源から供給される電圧に切り替わるので、簡単な回路で、かつ低消費電力で階段状のゲートパルスを供給することができるようになる。

## 【0021】

さらに、かかる態様においては、前記第1の電源は前記スイッチ手段を経て前記選択電圧供給手段の出力部に接続されていることが好ましい。かかる構成を採用することにより、簡単な回路で、かつ低消費電力で階段状のゲートパルスを供給することができるようになる。

## 【0022】

さらに、かかる態様においては、前記TFTはアモルファスシリコンから作製されていることが好ましい。このような構成を備えることにより、かかる態様においては従来の電圧シフト $\Delta V$ に起因する画質低下の問題が解決されているために、たとえアモルファスシリコンを用いることにより低温ポリシリコンから作製した場合に比して液晶表示パネルの画質が低下することがあるとしても、これを補うことができるばかりでなく製造工程を少なくすることができるので、安価に大画面の液晶表示パネルを製造することができるようになる。

## 【0023】

また、かかる態様においては、前記選択電圧供給手段は、ローレベルゲート電圧電源と共にゲートドライバの外に配置されていることが好ましい。かかる態様となせば前記選択電圧供給手段に大電流が流れて発熱量が多くなっても、冷却が容易になる。

## 【0024】

また、かかる態様においては、スイッチ手段はゲートラインごとに並列に設けられていることが好ましい。このような構成となすことにより、該スイッチ手段として小型のものを複数個並列に分散配置することができるので、総体的に消費電力も減少するので、ゲートドライバと一体に組み込むことができるようになる。

## 【0025】

## 【発明の実施の形態】

## (実施例1)

以下、本発明の具体例を図1～図3を用いて詳細に説明する。なお、図1は本発明の実施例1に対応するアクティブマトリクス型液晶表示装置の駆動手段を説

明する図、図2は図1の主要部分の出力波形を示す図、図3は図1の選択電圧供給手段の具体的回路図である。アクティブマトリクス型液晶表示装置の駆動手段10は、CPUからのクロックパルス12が入力されるタイマ回路14及びシフトレジスタからなるゲートドライバ16とを有し、更に各画素トランジスタのゲート電極に接続されているゲートライン $X_n$ 、 $X_{n+1}$ 、 $X_{n+2}$ ・・・を有している。なお、各画素トランジスタのドレイン電極に接続される信号ラインは、上記の従来技術と同様であるので、省略している。

#### 【0026】

タイマ回路14は、図2に示したように、CPUからのクロックパルス12の立ち上がりに応じてカウントを開始し、このクロックパルスの立ち下がり時よりは長い、次のクロックパルスの立ち上がり時よりも短い周期でカウントを終了するようになされ、このタイマ回路14の出力により選択電圧供給手段18のスイッチ手段20を制御して、その出力電圧 $V_{G1}$ を第1のハイレベルゲート電圧 $V_{gate1}$ とそれよりも低い第2のハイレベルゲート電圧 $V_{gate2}$ とに切り替えるようになされている。

#### 【0027】

ここで、図3を参照すると、第2のハイレベルゲート電圧 $V_{gate2}$ を供給する第2の電源 $V_{ANA}$ はダイオード22を経て選択電圧供給手段18の出力 $V_{G1}$ へ接続され、また、第1のハイレベルゲート電圧 $V_{gate1}$ を供給する第1の電源 $V_{GH0}$ は、タイマ14の出力がレベルシフト回路26を経て接続されているスイッチ手段20を経て同じく出力 $V_{G1}$ へ接続されている。すなわち、この選択電圧供給手段18の出力 $V_{G1}$ に表れる電圧は、常時第2の電源 $V_{ANA}$ がダイオード22を経て出力 $V_{G1}$ に接続されているため、スイッチ手段20がオフ状態の場合は第2の電源 $V_{ANA}$ の電圧、すなわち $V_{gate2}$ が出力され、スイッチ手段20がオン状態の場合は第1の電源 $V_{GH0}$ の電圧、すなわち $V_{gate1}$ が出力されるようになっている。

#### 【0028】

したがって、タイマ回路14がカウント中はスイッチ手段20がオン状態となるので、選択電圧供給手段18の出力 $V_{G1}$ に表れる電圧は第1のハイレベルゲ

ート電圧  $V_{gate1}$  となり、タイマ回路 14 がカウントを停止するスイッチ手段 20 がオフ状態となるので、選択電圧供給手段 18 の出力  $V_{G1}$  に表れる電圧は第 2 のハイレベルゲート電圧  $V_{gate2}$  となる。

#### 【0029】

一方、図 1 に戻ると、CPU からのクロックパルス 12 はシフトレジスタからなるゲートドライバ 16 にも導入されており、このゲートドライバ 16 により、一フィールド期間中に前記 CPU からのクロックパルス 12 の立ち上がり同期して、各ゲートライン  $X_n$ 、 $X_{n+1}$ 、 $X_{n+2} \dots$  がゲートパルス制御スイッチ  $24_n$ 、 $24_{n+1}$ 、 $24_{n+2} \dots$  により順次線順序で所定時間選択され、その選択期間に当たるゲートライン（図 1 では  $X_n$  が選択されているものが示されている。）が選択電圧供給手段の出力部  $V_{G1}$  に接続され、他のゲートラインは全てローレベルゲート電圧源  $V_{GL}$  に接続されるようになされている。

#### 【0030】

したがって、図 2 に示すように、一フィールド期間中に選択期間に至ったゲートライン  $X_n$  に印加されるゲートパルス  $G_{Pn}$  は、最初に低レベル電圧源  $V_{GL}$  から供給される電圧より急速に第 1 のハイレベルゲート電圧  $V_{gate1}$  まで立ち上がり、その後所定の期間後に第 2 のハイレベルゲート電圧  $V_{gate2}$  に下がり、その後選択期間の終了とともに低レベル電圧電源  $V_{GL}$  から供給される電圧まで急速に立ち下がり、次のフィールドの選択期間になるまでこの状態が維持される。次いで順次選択期間になるゲートライン  $X_{n+1}$ 、 $X_{n+2} \dots$  にも  $G_{Pn}$  と同様の階段状のゲートパルス  $G_{Pn+1}$ 、 $G_{Pn+2} \dots$  が印加される。なお、本実施例においては、例えば選択期間は  $13.5 \mu s$ 、 $V_{GH0}$  は  $25V11 \mu s$ 、 $V_{ANA}$  は  $13V2.5 \mu s$  づつ与えられるようになされている。

#### 【0031】

このように、本実施例によれば、常時第 2 の電源  $V_{ANA}$  から  $V_{gate2}$  に相当する電圧をダイオード 22 を経て選択電圧供給手段 18 の出力部  $V_{G1}$  に供給するとともに、タイマ回路 14 がカウントをしている間にスイッチ手段 20 をオンにすることにより第 1 の電源  $V_{GH0}$  から第 1 のハイレベルゲート電圧  $V_{gate1}$  に相当する電圧を前記選択電圧供給手段 18 の出力部  $V_{G1}$  に供給されるように

なしてあるので、ハイレベルゲート電圧の切換の際にロスがなく、サージ電圧が発生することはなくなる。さらに、カウンタ 14、ゲートドライバ 16 等のロジック回路は 5 V 以下の電圧で作動させることができるので、消費電力を少なくすることができる。

#### (実施例 2)

なお、上記の実施例 1 においては、選択電圧供給手段 18 において一つのスイッチ手段 20 を使用したが、このような構成ではスイッチ手段 20 に大電流が流れるため、発熱の問題を考慮すると前記選択電圧供給手段 18 はゲートドライバ 16 とは別体に設けることが好ましい。

#### 【0032】

このような発熱の問題点を解決して選択電圧供給手段 18 をゲートドライバに組み込めるようにした変形例を実施例 2 として図 4 に示す。図 4 に記載のものにおいて図 1 に記載のものと相違している点は、レベルシフト回路をタイマ回路 14 内に組み込み、ゲートドライバ 16 と共に複数のスイッチングトランジスタ 20 を各ゲートラインごとに並列に接続して分散配置し、該スイッチングトランジスタ 20 のベースを前記タイマ回路 14 内のレベルシフト回路の出力に、同じくコレクタを第 1 の電源  $V_{GH0}$  に、同じくエミッタを第 2 の電源  $V_{ANA}$  からダイオード 22 を経て接続されている選択電圧供給手段の出力部  $V_{G1}$  に接続した点である。

#### 【0033】

この実施例 2 においては、選択電圧供給手段の出力部  $V_{G1}$  には常時ダイオード 22 を経て第 2 電源  $V_{ANA}$  から第 2 のハイレベルゲート電圧  $V_{gate2}$  に相当する電圧が印加されており、タイマ回路 14 がカウントを続けている間にレベルシフト回路からの出力により複数のスイッチングトランジスタ 20 がオン状態となり、第 1 の電源  $V_{GH0}$  のから第 1 のハイレベルゲート電圧  $V_{gate1}$  が選択電圧供給手段の出力部  $V_{G1}$  に印加されるようになっている。

#### 【0034】

この実施例 2 においては、複数のスイッチングトランジスタ 20 が並列に配置されているため、個々のスイッチングトランジスタ 20 に流れる電流値はその

個数に反比例して小さくなり、その発熱量も小さくなるので、ゲートドライバ16と一体に組み込むことができるようになる。

#### 【0035】

なお、前記スイッチングトランジスタ20の数は、図4では各ゲートライン $X_n$ 、 $X_{n+1}$ 、 $X_{n+2}$ ・・・に対応するように設けられているが、必ずしもこのような構成とする必要はなく、この複数個のスイッチングトランジスタ20をゲートドライバ16と一体に配置した際に発熱による影響が無視できるような個数となせばよい。

#### 【0036】

##### 【発明の効果】

以上説明したように、本発明によれば、各ゲートラインの選択期間中に階段状のゲートパルス電圧を印加することができるので、従来のアクティブマトリクス型液晶表示装置の電圧シフト $\Delta V$ の問題点を解決することができるだけでなく、この階段状のゲートパルス電圧を、常時第2の電源 $V_{ANA}$ からダイオード22を経て選択電圧供給手段の出力部 $V_{G1}$ に供給するとともに、タイマ回路14がカウントをしている間にスイッチ手段20をオンにすることにより第1の電源 $V_{GH0}$ から第1のハイレベルゲート電圧 $V_{gate1}$ に相当する電圧を前記選択電圧供給手段の出力部 $V_{G1}$ に供給するようになしたので、ハイレベルゲート電圧の切換の際にロスがなく、サージ電圧が発生せず、しかも、ロジック回路は通常の5V以下の電圧で駆動できるために上記特許文献1に記載されているものと比すると非常に消費電力を低くすることができるという効果も奏する。

##### 【図面の簡単な説明】

#### 【図1】

図1は、本発明の実施例1にかかるアクティブマトリクス型液晶表示装置の駆動手段を示す図である。

#### 【図2】

図2は、図1の主要部分の出力波形を示す図である。

#### 【図3】

図3は、図1の選択電圧供給手段の具体的回路の一例を示す図である。



## 【図 4】

図 4 は、本発明の実施例 2 にかかるアクティブマトリクス型液晶表示装置の駆動手段を示す図である。

## 【図 5】

従来のアクティブマトリクス型液晶表示装置の一般的な構成を、一画素部分の模式的な等価回路図である。

## 【図 6】

従来のアクティブマトリクス型液晶表示装置の一画素の各部分の電圧波形を示す図である。

## 【図 7】

従来の従来のアクティブマトリクス型液晶表示装置の  $\Delta V$  の問題点の解決するための方法を示す図である。

## 【図 8】

図 7 の方法を実施するための具体的な駆動手段を示す図である。

## 【符号の説明】

VGH0 第 1 の電源

VANA 第 2 の電源

VGL ローレベルゲート電圧電源

VG1 選択電圧供給手段の出力部

10 アクティブマトリクス型液晶表示装置の駆動手段

12 CPU のクロックパルス

14 タイマ回路

16 ゲートドライバ

18 選択電圧供給手段

20 スイッチ手段

22 ダイオード

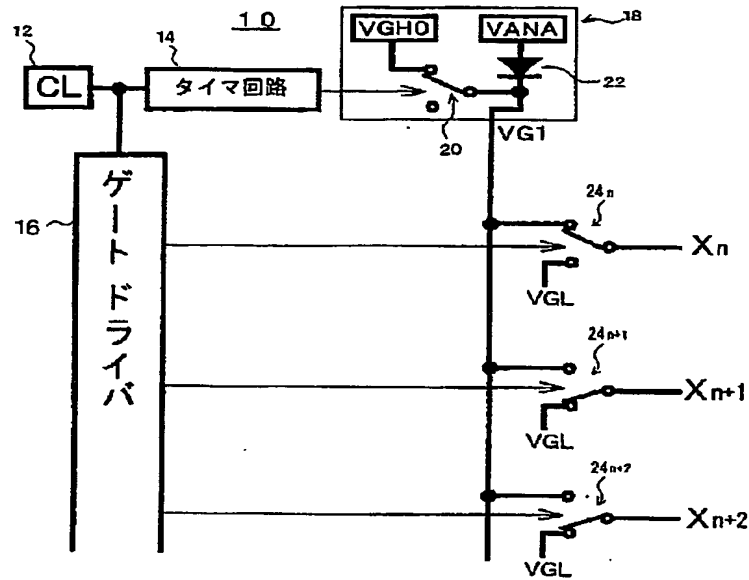
24n、24n+1、24n+3、・・・ ゲートパルス制御スイッチ

26 レベルシフト回路

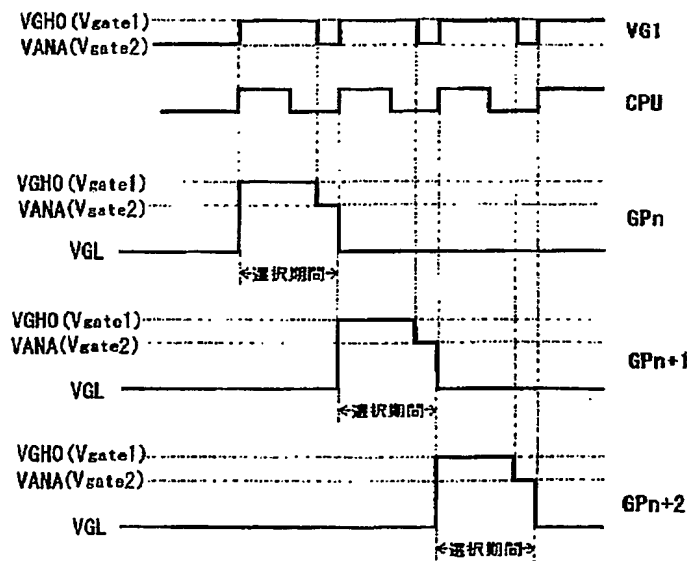
【書類名】

図面

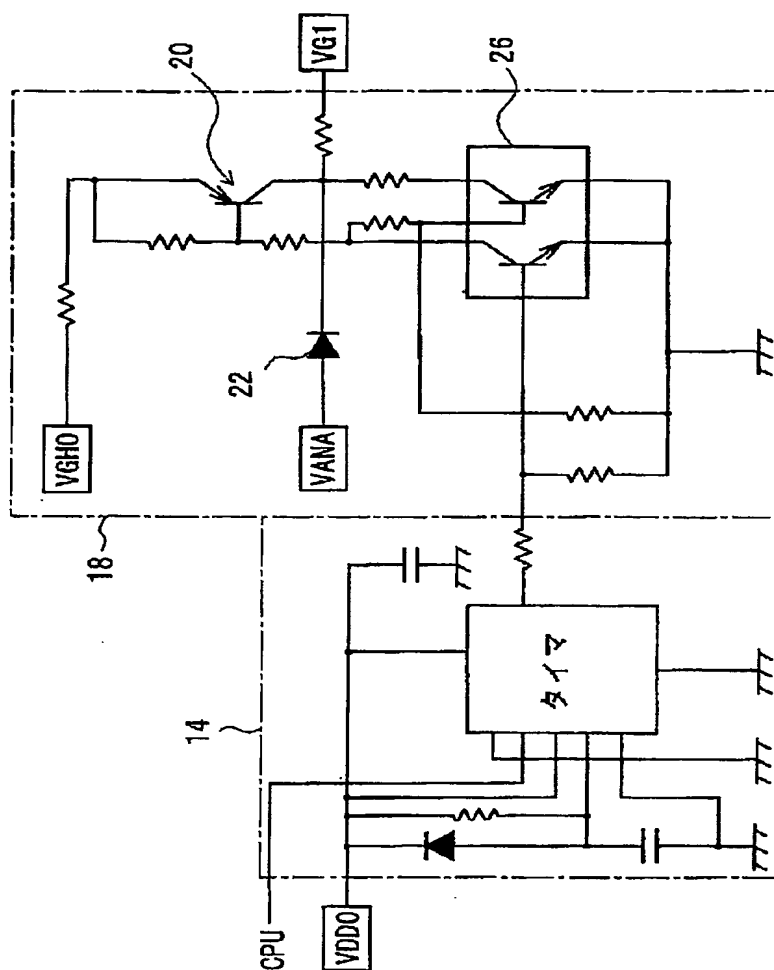
【図 1】



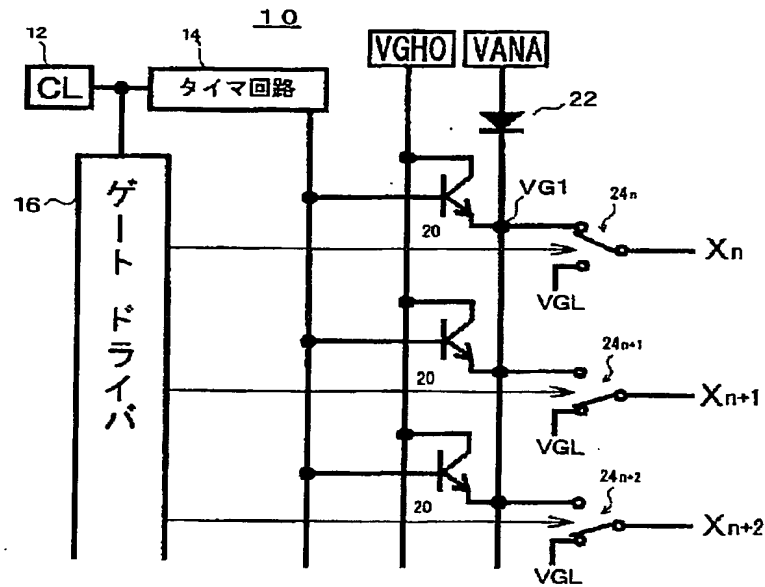
【図 2】



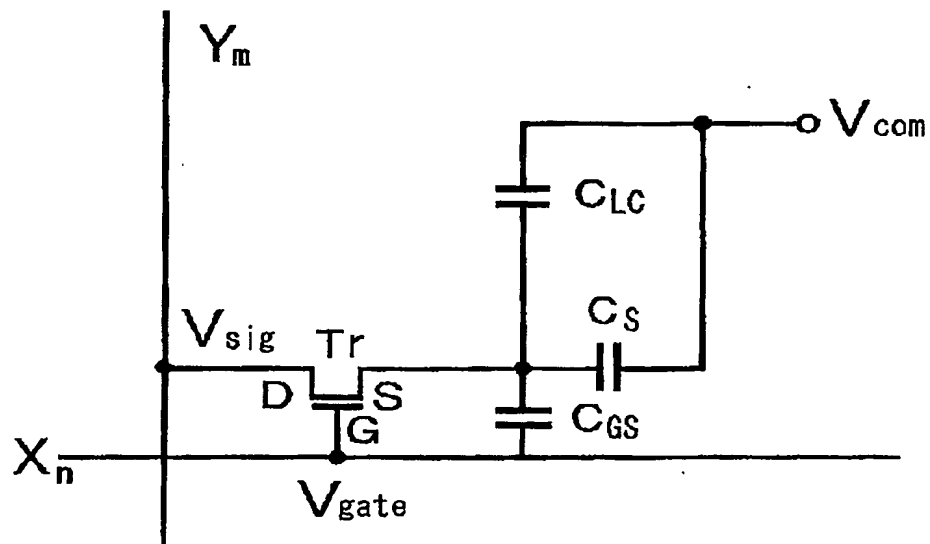
【図 3】



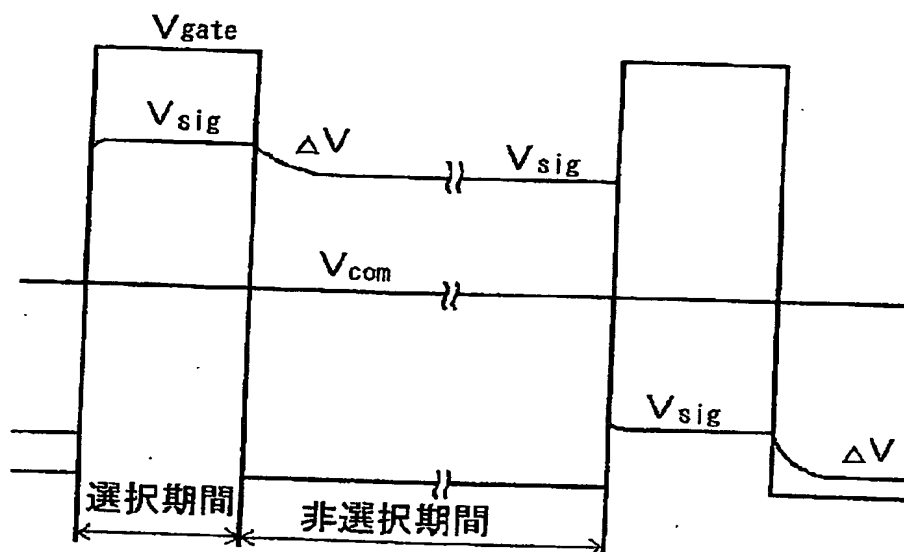
【図 4】



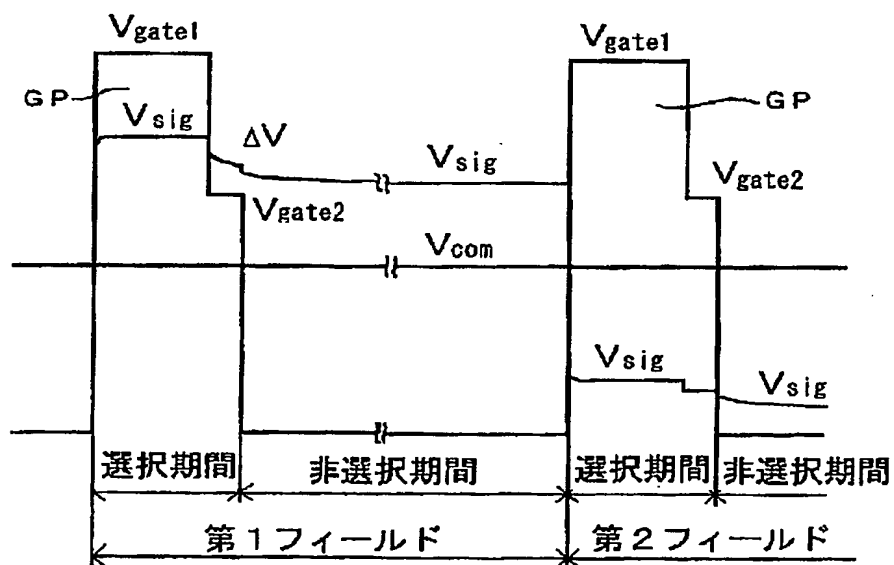
【図 5】



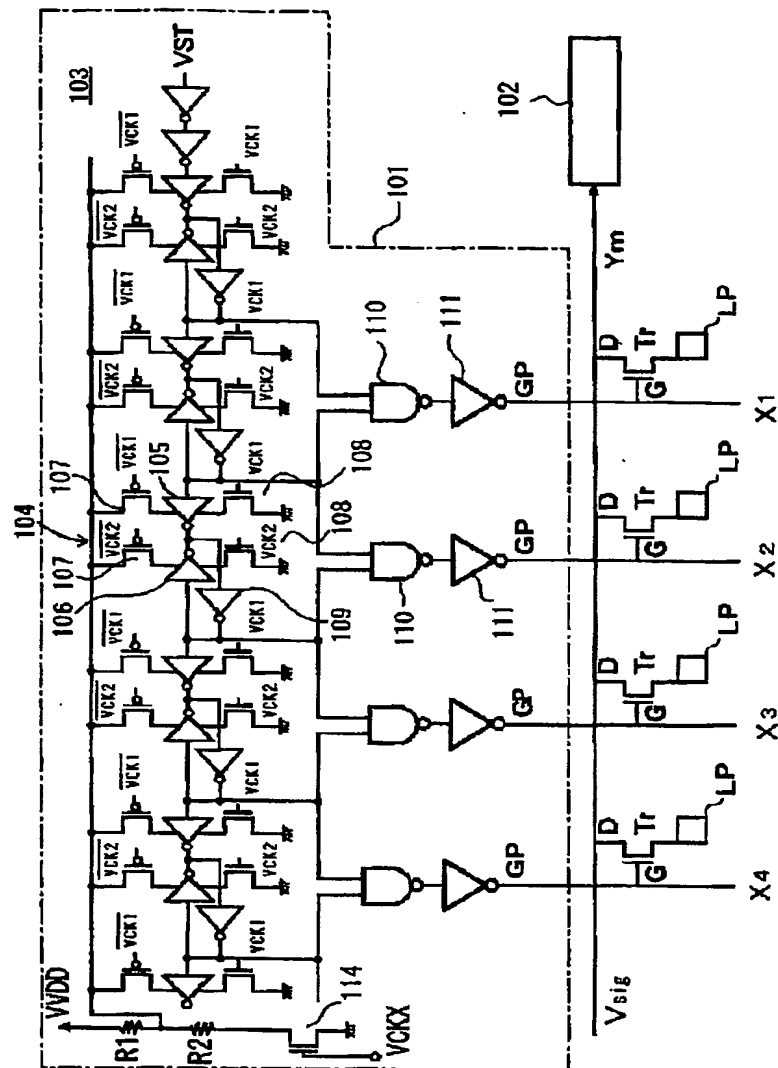
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 マトリクス型液晶表示装置において、選択時にゲートラインに供給するゲートパルスを変化させる際に、消費電力が少なくなるようにすると共に切換ロスをなくしてサージが発生しないようにすること。

【解決手段】 選択電圧供給手段として、所定の選択電圧を供給するための第1の電源VGH0と、前記選択電圧より所定値だけ低い電圧を供給する第2の電源VANAとを備え、前記選択電圧供給手段の出力部VG1に、常時前記第2の電源VANAからの電圧が印加されるようにし、選択期間の初めから前記選択期間より短い時間の間には前記第1の電源VGH0からの電圧が重畳されるようにして、所定の選択されたゲートラインXn、Xn+1、Xn+2・・・に階段状のゲートパルスGPn、GPn+1、GPn+2・・・がそれぞれ印加されるようになる。

【選択図】 図2

特願 2002-378777

出 願 人 履 歴 情 報

識別番号

[000001889]

1. 変更年月日

1993年10月20日

[変更理由]

住所変更

住 所

大阪府守口市京阪本通2丁目5番5号

氏 名

三洋電機株式会社



特願 2 0 0 2 - 3 7 8 7 7 7

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 2 1 4 8 9 2 ]

1. 変更年月日

1 9 9 0 年 8 月 2 4 日

[変更理由]

新規登録

住 所

鳥取県鳥取市南吉方3丁目201番地

氏 名

鳥取三洋電機株式会社